

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-103058

(43)Date of publication of application : 13.04.1999

(51)Int.Cl. H01L 29/78

(21)Application number : 10-199546

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.06.1998

(72)Inventor : KAWAGUCHI YUSUKE
NAKAGAWA AKIO

(30)Priority

Priority number : 09206931

Priority date : 31.07.1997

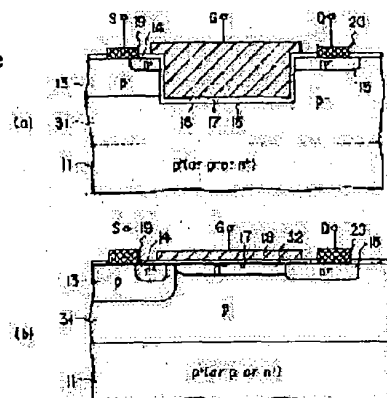
Priority country : JP

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To greatly reduce ON resistance without increasing the area of an element, by forming a first conducting type drain layer on the surface of a high resistance semiconductor layer, and forming a first conducting type semiconductor layer of a low concentration of impurities on the surface of a high resistance semiconductor layer in contact with the drain layer.

SOLUTION: A p-type high resistance layer 31 is formed on a p-type substrate 11, and a p-type well layer 13 is formed selectively on the p-type high resistance layer 31. On the surface of the p-type well layer 13, an n-type source layer 14 is selectively formed in a stripe form. On the other hand, a stripe-shaped n-type drain layer 15 is formed in parallel to the n-type source layer 14 on the surface of a p-type high resistance layer 31 at a position separated from the n-type source layer 14. And an n-type resurf diffusion layer 32 of a low concentration impurity is formed on the surface of the p-type high resistance layer 31 between the p-type well layer 13 and the n-type drain layer 15. By doing this, the ON resistance of an element can be greatly reduced without increasing the area of the element.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-103058

(43)公開日 平成11年(1999)4月13日

(51) Int.Cl.⁶
H 0 1 L 29/78

識別記号

FI
H01L 29/78

301V
301W

審査請求 未請求 請求項の数 9 FD (全 19 頁)

(21)出願番号	特願平10-199546
(22)出願日	平成10年(1998)6月30日
(31)優先権主張番号	特願平9-206931
(32)優先日	平9(1997)7月31日
(33)優先権主張国	日本(JP)

(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者 川口 雄介
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(73)発明者 中川 明夫
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

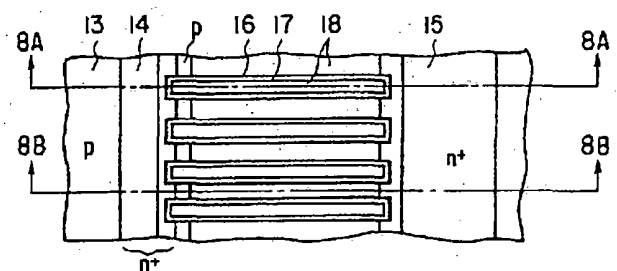
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】素子面積を増大させずに横型MOSFETのオン抵抗を低減すること。

【解決手段】絶縁ゲート構造として、 n 型高抵抗層 12 の表面に形成したトレンチ 16 内にゲート絶縁膜 17 を介してゲート電極 18 を埋込み形成してなるトレンチゲート構造を採用し、さらに n 型ドレイン層 15 に接してトレンチ 16 まで延びた n 型リサーチ拡散層 32 を n 型高抵抗層 12 の表面に形成する。



【特許請求の範囲】

【請求項1】一導電型の高抵抗半導体層と、この高抵抗半導体層の表面からその途中の深さまで達した溝内にゲート絶縁膜を介して形成されたゲート電極と、前記高抵抗半導体層の表面に前記ゲート絶縁膜に接して選択的に形成された第2導電型のウェル層と、このウェル層の表面に前記ゲート絶縁膜に接して選択的に形成された第1導電型のソース層と、前記高抵抗半導体層の表面に前記ウェル層とは異なる領域に選択的に形成された第1導電型のドレイン層と、前記高抵抗半導体層の表面に前記ドレイン層に接して形成され、かつ前記溝まで延びた前記ドレイン層よりも低不純物濃度の第1導電型の半導体層とを具備してなることを特徴とする半導体装置。

【請求項2】前記高抵抗半導体層は第2導電型であり、前記低不純物濃度の第1導電型の半導体層はリサーフ層であることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記高抵抗半導体層は第1導電型であり、前記低不純物濃度の第1導電型の半導体層はオフセット層であることを特徴とする請求項1に記載の半導体装置。

【請求項4】一導電型の高抵抗半導体層と、この高抵抗半導体層の表面からその途中の深さまで達した溝内にゲート絶縁膜を介して形成されたゲート電極と、前記高抵抗半導体層の表面に前記ゲート絶縁膜に接して選択的に形成された第2導電型のウェル層と、このウェル層の表面に前記ゲート絶縁膜に接して選択的に形成された第1導電型のソース層と、前記高抵抗半導体層の表面に前記ウェル層とは異なる領域に前記ゲート絶縁膜に接して選択的に形成された第1導電型のオフセット層と、このオフセット層の表面に前記ゲート絶縁膜と離間して選択的に形成された前記オフセット層よりも高不純物濃度の第1導電型のドレイン層とを備えた半導体装置であって、前記ゲート電極は、前記ゲート絶縁膜よりも厚い絶縁膜を介して、前記オフセット層上にまで延在していることを特徴とする半導体装置。

【請求項5】一導電型の高抵抗半導体層と、この高抵抗半導体層の表面からその途中の深さまで達した第1の溝内にゲート絶縁膜を介して形成されたゲート電極と、前記高抵抗半導体層の表面に前記ゲート絶縁膜に接して選択的に形成された第2導電型のウェル層と、このウェル層の表面に前記ゲート絶縁膜に接して選択的に形成された第1導電型のソース層と、前記高抵抗半導体層の表面に前記ウェル層とは異なる領域に前記ゲート絶縁膜とに接して選択的に形成された第

1導電型のオフセット層と、このオフセット層の表面からその途中の深さまで達し、かつ前記ゲート絶縁膜と離間して形成された第2の溝の底、側面若しくはその両方に露出した前記オフセット層の表面に形成された該オフセット層よりも高不純物濃度の第1導電型のドレイン層と、前記第2の溝内に埋め込まれたドレイン電極とを具備してなることを特徴とする半導体装置。

【請求項6】一導電型の高抵抗半導体層と、この高抵抗半導体層の表面からその途中の深さまで達した溝内にゲート絶縁膜を介して形成されたゲート電極と、前記高抵抗半導体層の表面に前記ゲート絶縁膜に接して選択的に形成された第2導電型のウェル層と、このウェル層の表面に前記ゲート絶縁膜に接して選択的に形成された第1導電型のソース層と、前記高抵抗半導体層の表面に前記ウェル層とは異なる領域に前記ゲート絶縁膜と離間して選択的に形成された第1導電型のドレイン層と、このドレイン層下、前記溝の下部、又はその両方に形成された第1導電型の低抵抗半導体層とを具備してなることを特徴とする半導体装置。

【請求項7】前記高抵抗半導体層の表面に選択的に形成された第1導電型のエミッタ層および第2導電型のベース層、ならびにこれらのエミッタ層およびベース層を含む領域下に形成された第1導電型の埋込み層をさらに具備し、この埋込み層と前記低抵抗半導体層とが同じ深さの同不純物濃度の半導体層であることを特徴とする請求項4に記載の半導体装置。

【請求項8】前記溝は、前記ソース層と前記ドレイン層との間に、チャネル幅方向に複数かつお互いに平行に配列して形成されていることを特徴とする請求項1ないし請求項7のいずれかに記載の半導体装置。

【請求項9】前記各溝の間隔は、 $0.01 \sim 0.8 \mu\text{m}$ の範囲内にあることを特徴とする請求項8に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係わり、特に横型MOSFETを備えた半導体装置に関する。

【0002】

【従来の技術】従来、 $8\text{V} \sim 60\text{V}$ 程度の低耐圧におけるスイッチング用の半導体装置としては、横型MOSFETが知られている。

【0003】図46はこの種の横型MOSFETの構成を示す平面図であり、図47は図46の47-47線矢視断面図である。この横型MOSFETでは、p型半導体基板1表面に選択的にp型ウェル層2が形成され、p型ウェル層2上に選択的にn型ドレイン層3が形成され

ている。p型ウェル層2上にてn型ドレイン層3から離れた位置にはn型ソース層4が形成されている。

【0004】n型ドレイン層3とn型ソース層4の間のp型ウェル層2上にはゲート絶縁膜5が形成されている。ゲート絶縁膜5上にゲート電極6が形成されている。n型ドレイン層3上にはドレイン電極7が形成されている。p型ウェル層2上及びn型ソース層4上にはソース電極8が形成されている。

【0005】この横型MOSFETは、以下のように動作する。

【0006】ドレイン電極7に正電圧、ソース電極8に負電圧が印加されているとき、ソースよりも正となる正電圧をゲート電極6に印加すると、ゲート絶縁膜5に接したp型ウェル層2の表面がn型に反転し、電子がn型ソース層4から反転層を介してn型ドレイン層3に流れる。すなわち、素子が導通状態になる。

【0007】このような横型MOSFETを大電流のスイッチングに用いた際には、オン状態における抵抗（オン抵抗）を低く抑えることが損失を抑制する上で重要である。ここで、横型MOSFETのオン抵抗はチャネル部の抵抗が大部分を占める。このため、横型MOSFETのオン抵抗を低減させるためにはチャネル幅を大きくすればよい。しかしながら、チャネル幅を大きくすると、横型MOSFETの面積を増大させてしまう。

【0008】また、例えば30Vという低耐圧の横型MOSFETでは、オン抵抗が $40\text{ m}\Omega \cdot \text{mm}^2$ 程度であり、これ以上のオン抵抗の低減には限界がある。

【0009】

【発明が解決しようとする課題】以上説明したようにこの種の半導体装置では、チャネル幅を大きくすると、素子の面積を増大させてしまう問題がある。

【0010】また、横型MOSFETは表面のみに電流が流れており、オン抵抗の低減には限界がある。

【0011】本発明は上記実情を考慮してなされたもので、素子の面積を増大させずに大幅にオン抵抗を低減し得る半導体装置を提供することを目的とする。

【0012】

【課題を解決するための手段】

【構成】上記目的を達成するために、本発明に係る第1の半導体装置は、一導電型の高抵抗半導体層と、この高抵抗半導体層の表面からその途中の深さまで達した溝内にゲート絶縁膜を介して形成されたゲート電極と、前記高抵抗半導体層の表面に前記ゲート絶縁膜に接して選択的に形成された第2導電型のウェル層と、このウェル層の表面に前記ゲート絶縁膜に接して選択的に形成された第1導電型のソース層と、前記高抵抗半導体層の表面に前記ウェル層とは異なる領域に選択的に形成された第1導電型のドレイン層と、前記高抵抗半導体層の表面に前記ドレイン層に接して形成され、かつ前記溝まで延びた前記ドレイン層よりも低不純物濃度の第1導電型の半導

体層とを備えていることを特徴とする。

【0013】ここで、前記高抵抗半導体層は第2導電型であり、前記低不純物濃度の第1導電型の半導体層はリサーフ層である。あるいは前記高抵抗半導体層は第1導電型であり、前記低不純物濃度の第1導電型の半導体層はオフセット層である。

【0014】また、本発明に係る第2の半導体装置は、一導電型の高抵抗半導体層と、この高抵抗半導体層の表面からその途中の深さまで達した溝内にゲート絶縁膜を介して形成されたゲート電極と、前記高抵抗半導体層の表面に前記ゲート絶縁膜に接して選択的に形成された第2導電型のウェル層と、このウェル層の表面に前記ゲート絶縁膜に接して選択的に形成された第1導電型のソース層と、前記高抵抗半導体層の表面に前記ウェル層とは異なる領域に前記ゲート絶縁膜に接して選択的に形成された第1導電型のオフセット層と、このオフセット層の表面に前記ゲート絶縁膜と離間して選択的に形成された前記オフセット層よりも高不純物濃度の第1導電型のドレイン層とを備えた半導体装置であって、前記ゲート電極が、前記ゲート絶縁膜よりも厚い絶縁膜を介して、前記オフセット層上にまで延在していることを特徴とする。

【0015】また、本発明に係る第3の半導体装置は、一導電型の高抵抗半導体層と、この高抵抗半導体層の表面からその途中の深さまで達した第1の溝内にゲート絶縁膜を介して形成されたゲート電極と、前記高抵抗半導体層の表面に前記ゲート絶縁膜に接して選択的に形成された第2導電型のウェル層と、このウェル層の表面に前記ゲート絶縁膜に接して選択的に形成された第1導電型のソース層と、前記高抵抗半導体層の表面に前記ウェル層とは異なる領域に前記ゲート絶縁膜とに接して選択的に形成された第1導電型のオフセット層と、このオフセット層の表面からその途中の深さまで達し、かつ前記ゲート絶縁膜と離間して形成された第2の溝の底、側面若しくはその両方に露出した前記オフセット層の表面に形成された該オフセット層よりも高不純物濃度の第1導電型のドレイン層と、前記第2の溝内に埋め込まれたドレイン電極とを備えていることを特徴とする。

【0016】ここで、ゲート電極は、ゲート絶縁膜よりも厚い絶縁膜を介して、オフセット層上にまで延在していることが好ましい。

【0017】また、本発明に係る第4の半導体装置は、一導電型の高抵抗半導体層と、この高抵抗半導体層の表面からその途中の深さまで達した溝内にゲート絶縁膜を介して形成されたゲート電極と、前記高抵抗半導体層の表面に前記ゲート絶縁膜に接して選択的に形成された第2導電型のウェル層と、このウェル層の表面に前記ゲート絶縁膜に接して選択的に形成された第1導電型のソース層と、前記高抵抗半導体層の表面に前記ウェル層とは異なる領域に前記ゲート絶縁膜と離間して選択的に形成

された第1導電型のドレイン層と、このドレイン層下、前記溝の下部、又はその両方に形成された第1導電型の低抵抗半導体層とを備えていることを特徴とする。

【0018】ここで、前述したように、オフセット層を設ける場合は、このオフセット領域下に低抵抗半導体層を形成することが好ましい。

【0019】また、バイポーラトランジスタをさらに含む半導体装置の場合には、前記高抵抗半導体層の表面に選択的に形成された第1導電型のエミッタ層および第2導電型のベース層、ならびにこれらのエミッタ層およびベース層を含む領域下に形成された第1導電型の埋込み層をさらに具備し、この埋込み層と前記低抵抗半導体層とが同じ深さの同不純物濃度の半導体層である構成とする。良い。

【0020】これらの第1～第4の半導体装置において、ドレイン層はソース層と略平行に形成され、溝は複数形成され、これらの各溝はドレイン層及びソース層と略直交する方向の平面形状を有し、互いに略平行に配置されていることが好ましい。また、溝の間隔は、0.01～0.8 μ mであることが好ましい。

【0021】〔作用〕本発明（請求項1～5）によれば、素子面積を同一としたまま、溝の深さに応じてチャネルの幅を大きくできるため、素子のチャネル部の抵抗を小さく、すなわち素子自体の抵抗を小さくすることができ、もって、オン抵抗を低減することができる。また、溝を複数形成すれば、これらの溝の設置密度に応じてチャネルの幅を大きくできるので、より効果的にオン抵抗を低減することができるようになる。

【0022】さらに、本発明（請求項1～5）によれば、上述した作用効果に加え、以下のような作用効果を奏する。

【0023】すなわち、本発明（請求項1）によれば、低不純物濃度の第2導電型の半導体層を備えているので、ドレイン耐圧の向上を図れるようになる。

【0024】また、本発明（請求項2）によれば、オフセット層上ではゲート絶縁膜よりも厚い絶縁膜を介してゲート電極が形成されていることから、導通時にオフセット層の表面に形成される蓄積層が薄くなり、その結果としてドレイン層における等電位線の間隔が広がるので、ドレイン耐圧の向上を図れるようになる。

【0025】また、本発明（請求項3）によれば、オフセット層を備え、このオフセット層の表面に形成した第2の溝の底にドレイン層を形成し、さらに第2の溝内にソース電極を埋め込んでいるので、第1の溝の最も深い部分を通るキャリアのオフセット層における抵抗が小さくなり、オン抵抗の低減化を図れるようになる。

【0026】また、本発明（請求項4）によれば、ドレイン層下又は前記溝を含む領域下の高抵抗半導体層中に低抵抗の第1導電型の半導体層を備えているので、キャリアが溝側面のチャネル幅内で十分に広がって上記半導

体層に流入するので、オン抵抗の低減化を図ることができるようになる。

【0027】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

（第1の実施の形態）図1は本発明の第1の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図2（a）は図1の2A-2A線矢視断面図であって、図2（b）は図1の2B-2B線矢視断面図である。この横型トレンチMOSFETは、p型基板11上にn型高抵抗層12が形成されている。n型高抵抗層12上には選択的にストライプ状にp型ウェル層13が形成されている。p型ウェル層13表面には選択的にストライプ状にn型ソース層14が形成されている。一方、n型ソース層14から離れた位置のn型高抵抗層12表面に、n型ソース層14とは平行となるようにストライプ状のn型ドレイン層15が形成されている。

【0028】n型ドレイン層15の端部からn型高抵抗層12、p型ウェル層13及びn型ソース層14の端部に至る中間領域には、p型ウェル層13を貫通してn型高抵抗層12の途中の深さまで複数のトレンチ（溝）16が形成されている。なお、各トレンチ16は、n型ソース層14及びn型ドレイン層15とは直交する方向のストライプ状の平面形状を有し、互いに略平行に配置されている。また、トレンチ16の表面の面方位は例えば（100）面が使用可能である。

【0029】また、ドレイン-ソース間の中間領域及び各トレンチ16には、ゲート絶縁膜17を介してポリシリコンからなるゲート電極18が形成されている。n型ソース層14上にはソース電極19が形成されている。n型ドレイン層15上にはドレイン電極20が形成されている。

【0030】次に、このような横型トレンチMOSFETの作用について説明する。

【0031】前述同様に、ドレイン電極20に正電圧、ソース電極19に負電圧が印加されているとき、ソースよりも正となる正電圧をゲート電極18に印加すると、p型ウェル層13のゲート電極18に接した表面がn型に反転し、電子がn型ソース層14から反転層を介してn型高抵抗層12に注入され、n型高抵抗層12中をn型ドレイン層15に向かって流れ、n型ドレイン層15へ到達する。すなわち、素子が導通状態になる。

【0032】このとき、n型高抵抗層12もトレンチ16に沿って内部にチャネルが形成され、図2（b）に示すように、電子eが内部に広がって流れる。よって、この内部のチャネルの幅に応じてオン抵抗を低減させることができる。このオン抵抗の低減の度合は、素子設計にもよるが、従来のプレーナ構造と比べて1/10以下が期待できる。

【0033】例えば、図3は横型トレンチMOSFET

のオン抵抗におけるトレンチ間隔の依存性を対数目盛で示す図である。図示するように、トレンチ間隔 W_2 が狭くなるに従い、単位面積当りのチャンネル幅が増加するので、オン抵抗を低減できる。特に、トレンチ間隔 W_2 が $0.8 \sim 0.01 \mu\text{m}$ の範囲内にあるとき、オン抵抗が実用上、十分に低い値となっているために好ましい。但し、 $0.01 \mu\text{m}$ 以下のトレンチ間隔は、チャンネル移動度を表面散乱の影響で低下させ、オン抵抗を増大させるため、好ましくない。

【0034】なお、従来の30V耐圧の横型プレーナMOSFETのオン抵抗は $40 \text{ m}\Omega \cdot \text{mm}^2$ であり、従来の縦型トレンチMOSFETのオン抵抗は $30 \text{ m}\Omega \cdot \text{mm}^2$ である。

【0035】一方、本発明に係る横型トレンチMOSFETのオン抵抗は、トレンチ間隔 W_2 とトレンチ幅 W_1 の両方を $0.1 \mu\text{m}$ とすれば実に $1 \text{ m}\Omega \cdot \text{mm}^2$ 以下が期待できる。この値は従来の縦型トレンチMOSFETの $1/10$ 以下である。また、トレンチ間隔 W_2 とトレンチ幅 W_1 の両方を $0.05 \mu\text{m}$ とすると、本発明に係る横型トレンチMOSFETのオン抵抗は、 $0.3 \text{ m}\Omega \cdot \text{mm}^2$ となり、従来の縦型トレンチMOSFETの $1/100$ にも低減される。

【0036】このように、本発明に係る横型トレンチMOSFETが同一寸法のトレンチを用いた縦型MOSFETよりも圧倒的に優れていることが分かる。また、一般的に、横型素子は縦型素子に比べて特性が悪いので、本発明によるオン抵抗の低減効果が極めて顕著であることが分かる。

【0037】なお、本発明に係る横型トレンチMOSFETは、一般的な縦型トレンチMOSFETが約60Vよりも低い耐圧のとき、この縦型素子よりもオン抵抗を低減できる。その理由は、本発明に係る横型トレンチMOSFETは、トレンチ間の間隔を幾らでも小さくできることにある。

【0038】例えば、縦型トレンチMOSFETでは、図4に示すように、n型ソース層21及びp型コンタクト層22と、ソース電極23とが上部でコンタクトする必要がある。ここで、縦型トレンチMOSFETでは、コンタクトの為のコンタクトホール24を必要とするため、トレンチ間隔 W_2 を現状では $3 \mu\text{m}$ 以下に狭くできない。

【0039】一方、横型トレンチMOSFETにおいては、この制約がないためトレンチ間隔 W_2 を $0.1 \mu\text{m}$ 程度にも狭くでき、単位面積当たりのチャンネル幅が縦型よりも5倍以上大きい。この結果、横型トレンチMOSFETは、前述したように、オン抵抗を低減できる。

【0040】上述したように本実施形態によれば、素子面積を増大させずにオン抵抗を低減することができる。

(第2の実施形態) 図5は本発明の第2の実施形態に係る横型トレンチMOSFETの構成を示す平面図であ

り、図6(a)は図5の6A-6A線矢視断面図であって、図6(b)は図5の6B-6B線矢視断面図である。図5及び図6において図1と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。なお、以下の各実施形態についても、同一内容の重複をさけるように説明する。

【0041】本実施形態は、第1の実施形態の変形構成であり、図示するように、トレンチ16の深さ d をp型ウェル層13よりも浅くし、且つトレンチ間隔 W_2 とトレンチ幅 W_1 とを更に小さくした構成となっている。

【0042】このような構成によれば、第1の実施形態の効果に加え、さらに、 $0.1 \mu\text{m}$ 以下のトレンチ間隔 W_2 としたとき、各トレンチ16に挟まれたn型高抵抗層12全体がチャンネルとなってオン抵抗を飛躍的に低減させることができる。これは、横型にして初めて達成できる効果である。

(第3の実施形態) 図7は本発明の第3の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図8(a)は図7の8A-8A線矢視断面図であって、図8(b)は図7の8B-8B線矢視断面図である。

【0043】本実施形態は、第1の実施形態の変形構成であり、図示するように、n型高抵抗層12に代えて、p型高抵抗層31が形成されている。また、p型ウェル層13とn型ドレイン層14との間のp型高抵抗層31表面にはn型リサーフ拡散層32が形成されている。

【0044】このような構成によれば、第1の実施形態の効果に加え、n型リサーフ拡散層32による電界緩和によって、高耐圧化を図ることができる。

(第4の実施形態) 図9は本発明の第4の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図10(a)は図9の10A-10A線矢視断面図であって、図10(b)は図9の10B-10B線矢視断面図である。

【0045】本実施形態は、第1の実施形態の変形構成であり、p型ウェル層13とn型ドレイン層15との間のn型高抵抗層12表面にはn型リサーフ拡散層32が形成されている。

【0046】このような構成によれば、第1の実施形態の効果に加え、n型リサーフ拡散層32による電界緩和によって、高耐圧化を図ることができる。

【0047】また、本実施形態は、第2の実施形態の変形構成としても適用可能である。

(第5の実施形態) 図11は本発明の第5の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図12(a)は図11の12A-12A線矢視断面図であって、図12(b)は図11の12B-12B線矢視断面図である。

【0048】本実施形態は、第1の実施形態の変形構成であり、n型ドレイン層15とn型高抵抗層12との間

に、n型高抵抗層12よりも高抵抗のn型オフセット層33が形成されている。

【0049】このような構成によれば、第1の実施形態の効果に加え、n型オフセット層33の抵抗分によって、素子耐圧の増大を図ることができる。なお、本実施形態は、第1～第4の実施形態のいずれにも適用可能である。

【0050】また、本実施形態において、Diffusionセルファライン(DSA)を用いずに、p型ウェル層13を拡散により形成し、その後、n型ソース層14を拡散により形成した場合について補足する。この場合、n型ソース層14との接合近傍のp型ウェル層13は、n型ソース層14側面の13Aの部分よりも、n型ソース層14下面の13Bの部分の方が低濃度である。このため、電子eは、図13に示すように、しきい値電圧の低い13Bの部分からチャンネル内に注入される。従って、各トレンチ16間の13Bの部分大きく形成することにより、電子が容易に注入され、素子抵抗を低減させることができる。

(第6の実施形態) 図14は本発明の第6の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図15(a)は図14の15A-15A線矢視断面図であって、図15(b)は図14の15B-15B線矢視断面図である。

【0051】本実施形態は、第5の実施形態の変形構成であり、n型オフセット層33直下にn型高抵抗層12よりも低抵抗のn型埋込み層34が形成されている。なお、n型埋込み層34はそのソース側端部を、n型オフセット層33のソース側端部と上下方向で略同一位置とするように形成される。

【0052】このような構成によれば、導通状態において、n型高抵抗層12に注入された電子eはトレンチ16側面を通してn型埋込み層34に至り、n型埋込み層34からn型オフセット層33を通してn型ドレイン層15へと流れる。

【0053】すなわち、n型オフセット層33直下にn型埋込み層34を設けたことにより、電子がトレンチ16側面のチャンネル幅内で十分に広がってn型埋込み層34に流入するので、オン抵抗をより低減させることができる。

【0054】なお、本実施形態では、他にも電子の流れを広げるために、図15に示すように、n型ドレイン層15の位置をn型ソース層の位置よりも下げて形成したが、これは変形例であり、n型ドレイン層15の位置をn型ソース層の位置と同一平面上にしても良いことは言うまでもない。

(第7の実施形態) 図16は本発明の第7の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図17(a)は図16の17A-17A線矢視断面図であって、図17(b)は図16の17B-17B線

矢視断面図である。

【0055】本実施形態は、第6の実施形態の変形構成であり、n型オフセット層33直下に形成された低抵抗のn型埋込み層35がドレインソース間の中央近傍まで延長されて設けられている。

【0056】このような構成によれば、第6の実施形態と同様に、電子eがトレンチ側面のチャンネル幅内で十分に広がってn型埋込み層35に流入するので、オン抵抗をより低減させることができる。さらに、本実施形態では、n型埋込み層35がドレインソース間の中央近傍まで設けられているので、図17(b)に示すように、電子eの流れの広がり度合を第6の実施形態よりも増大させることができ、さらにオン抵抗を低減させることができる。

【0057】なお、第6及び第7の実施形態においては、n型埋込み層34、35をソース側に延ばすに従い、オン抵抗の低減を図ることができたが、さらに、n型オフセット層33を深く形成して耐圧の向上を図ってもよい。

(第8の実施形態) 図18は本発明の第8の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図19(a)は図18の19A-19A線矢視断面図であって、図19(b)は図18の19B-19B線矢視断面図である。

【0058】本実施形態は、第1の実施形態の変形構成であり、具体的には第4と第5の実施形態の組合せ構成であって、n型ドレイン層15とn型高抵抗層12との間に、n型高抵抗層12よりも高抵抗のn型オフセット層33が形成され、且つp型ウェル層とn型オフセット層33との間のn型高抵抗層12表面にはn型リサーフ拡散層32が形成されている。

【0059】このような構成によれば、第1、第4及び第5の実施形態の効果を同時に得ることができる。すなわち、素子面積を増大させずにオン抵抗を低減でき、さらに、素子の耐圧を増大させることができる。

(第9の実施形態) 図20は本発明の第9の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図21(a)は図20の20A-20A線矢視断面図であって、図21(b)は図20の20B-20B線矢視断面図である。

【0060】本実施形態は、第5の実施形態の変形構成であり、ゲート電極18はトレンチ16内からn型オフセット層33上にまで延在し、このn型オフセット層33とゲート電極18との間にはゲート絶縁膜17よりも厚い絶縁膜81が形成されている。このような絶縁膜81は、トレンチ16の形成前に全面に絶縁膜81としての厚い絶縁膜を形成した後、トレンチ16の形成工程等で不要な部分を除去することによって形成する。あるいはLOCOSなどの選択酸化により形成する。このような構成によれば、ゲートオン時にn型オフセット層33

の表面に誘起される電子の蓄積層は薄くなり、電流は表面に集中しなくなるため、電子によって打ち消せられるn型オフセット層33内のスペースチャージ(正孔)の量が減る。その結果、ドレイン近傍における等電位線の間隔が広くなり、ゲートオン時のドレイン耐圧が向上する。

【0061】また、絶縁膜81が厚いことから、オフ時におけるn型オフセット層33の表面における電界が弱くなって耐圧が向上する。このため、オン電圧を下げるために、n型オフセット層33の横方向の寸法を小さくしても、オフ時の耐圧の劣化を招かずに済む。その他、第5の実施形態と同様な効果が得られる。

【0062】また、本素子の特性を調べたところ、耐圧26Vに対し、オン抵抗は $10.0\text{ m}\Omega\cdot\text{mm}^2$ という非常に優れた値を示した。また、ゲート電圧5Vの時の耐圧も22Vと優れていた。

【0063】なお、本実施形態では、n型オフセット層33は、図21(b)に示すように、p型ウェル層13に接するように形成され、このp型ウェル層13の表面には高不純物濃度のp型コンタクト層82が形成されている。

(第10の実施形態) 図22は本発明の第10の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図23(a)は図22の22A-22A線矢視断面図であって、図23(b)は図22の22B-22B線矢視断面図である。

【0064】本実施形態は、第5の実施形態の変形構成であり、n型オフセット層33の表面にはその途中の深さまで達するトレンチ162が形成され、このトレンチ162の底であるn型オフセット層33の表面にはn型ドレイン層15が形成され、またトレンチ162内はドレイン電極20により埋め込まれている。なお、トレンチ162の側面、あるいは側面およびの底であるn型オフセット層33の表面にn型ドレイン層15しても良い。

【0065】このような構成によれば、第5の実施形態に比べて、トレンチ162の最も浅い部分からn型ドレイン層15までの距離(第1距離)に対するトレンチ162の最も深い部分からn型ドレイン層15までの距離(第2距離)の比(第2距離/第1距離)が小さくなる。

【0066】すなわち、トレンチ162の最も深い部分からn型オフセット層までの距離が第5の実施形態に比べて短くなる。その結果、トレンチ162の最も深い部分を通る電子のn型オフセット層33における抵抗が小さくなり、オン抵抗が低くなる。

【0067】また、本実施形態によれば、ドレイン電極20の埋め込まれた広い部分に電流が流れるので、素子表面にドレイン電極20が形成された第5の実施形態に比べて、ドレイン電極20のエッジに集中する電流が減

少し、これによってもドレイン耐圧の向上を図れるようになる。その他、第5の実施形態と同様な効果が得られる。

【0068】また、本素子の特性を調べたところ、耐圧26Vに対し、オン抵抗は $12.0\text{ m}\Omega\cdot\text{mm}^2$ という非常に優れた値を示した。また、ゲート電圧5Vの時の耐圧も28Vと優れていた。

(第11の実施形態) 図24は本発明の第11の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図25(a)は図24の24A-24A線矢視断面図であって、図25(b)は図24の24B-24B線矢視断面図である。

【0069】本実施形態が第10の実施形態と異なる点は、n型オフセット層33とゲート電極18との間にゲート絶縁膜17よりも厚い絶縁膜81が形成されていることにある。すなわち、本実施形態は、第9の実施形態と第10の実施形態とを組み合わせた例である。

【0070】本素子の特性を調べたところ、耐圧25Vに対し、オン抵抗は $7.9\text{ m}\Omega\cdot\text{mm}^2$ という非常に優れた値を示した。また、ゲート電圧5Vの時の耐圧も24Vと優れていた。

(第12の実施形態) 以上が本発明の基本構造である。次に、本発明に係る実施形態のうち、ウェル層内にソース層とドレイン層とをもつものについて述べる。

【0071】図26は本発明の第12の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図27(a)は図26の27A-27A線矢視断面図であって、図27(b)は図26の27B-27B線矢視断面図である。

【0072】この横型トレンチMOSFETは、p型基板41p上に選択的にp型ウェル層42pが形成されている。p型ウェル層41p表面は、選択的にストライプ状にn型ソース層43nが形成され、且つn型ソース層43nから離れた位置にn型ソース層43nとは平行となるようにストライプ状のn型ドレイン層44nが選択的に形成されている。

【0073】n型ドレイン層44nの端部からp型ウェル層42p及びn型ソース層43nの端部に至る中間領域には、p型ウェル層42pの途中の深さまで複数のトレンチ45が形成されている。なお、各トレンチ45は、n型ソース層43n及びn型ドレイン層44nとは直交する方向のストライプ状の平面形状を有し、互いに略平行に配置されている。

【0074】また、ドレインソース間の中間領域及び各トレンチ45には、ゲート絶縁膜46を介してゲート電極47が形成されている。n型ソース層43n上にはソース電極48が形成されている。n型ドレイン層44n上にはドレイン電極49が形成されている。

【0075】このような構成によれば、前述同様に、ドレイン電極49に正電圧、ソース電極48に負電圧が印

加されているとき、ソースよりも正となる正電圧をゲート電極47に印加すると、p型ウェル層42pのゲート電極47に接した表面がn型に反転し、電子がn型ソース層43nから反転層を介してn型ドレイン層44nに流れる。すなわち、素子が導通状態になる。

【0076】このとき、p型ウェル層42pはトレンチ45に沿って内部にチャンネルが形成され、前述同様に、電流が内部に広がって流れる。よって、この内部のチャンネルの幅に応じてオン抵抗を低減させることができる。

【0077】ここで、トレンチ45の幅をW1、トレンチ45の間隔をW2、トレンチ45の深さをdとすると単位面積当りのチャンネル幅は、従来例と比較して $(W1 + W2 + 2d) / (W1 + W2)$ 倍に増加させることができる。

【0078】例えば $W1 = W2 = W$ とし、深さ $d = 1 \mu m$ としたとき、オン抵抗とWの関係を図28に示す。このようにWが狭くなると、単位面積当りのチャンネル幅が増加するためにオン抵抗は低減される。また、 $0.6 \mu m$ 以下のWでは、トレンチ45に挟まれた部分がゲートオンの際に完全に空乏化するので、チャンネルに直交する方向の電界が無くなり、オン抵抗の低減が顕著になる。しかし、 $0.03 \mu m$ 以下のWは、表面の凹凸による散乱の効果が大きくなってオン抵抗が低下しなくなる。また、 $0.01 \mu m$ よりも狭いWは、オン抵抗を増加させてしまう。よって、前述同様に、Wは $0.01 \sim 0.8 \mu m$ の範囲内にあることが好ましい。

【0079】上述したように本実施形態によればpウェル層42pにn型ソース層43nとn型ドレイン層44nとを設けた構成としても、第1の実施形態と同様の効果を得ることができる。

(第13の実施形態) 図29は本発明の第13の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図30(a)は図29の30A-30A線矢視断面図であって、図30(b)は図29の30B-30B線矢視断面図である。

【0080】本実施形態は、第12の実施形態の変形構成であり、p型ウェル層42p、n型ソース層43n及びn型ドレイン層44nの導電型を反転させたものであり、具体的には、p型ウェル層42p、n型ソース層43n及びn型ドレイン層44nに代えて、n型ウェル層42n、p型ソース層43p及びp型ドレイン層44pを備えている。

【0081】以上のような構成としても、第12の実施形態と同様の効果を得ることができる。また、本実施形態は、第12の実施形態と組合せることにより、ブリッジ回路や、プッシュプル回路を構成することができる。

(第14の実施形態) 図31は本発明の第14の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図32(a)は図31の32A-32A線矢視断面図であって、図32(b)は図31の32B-32

B線矢視断面図である。

【0082】本実施形態は、第12の実施形態の変形構成であり、p型ウェル層の周辺構造の変形例であって、具体的には、p型基板41p表面に選択的に低抵抗のp型埋込層51pが形成され、p型埋込層51p上にはn型エピタキシャル層52nが形成され、n型エピタキシャル層52n表面にはp型ウェル層42pがp型埋込層51pに到達するように形成されている。p型ウェル層42p内の構造は第12の実施形態と同様である。

【0083】このような構成としても、第12の実施形態と同様の効果を得ることができる。

(第15の実施形態) 図33は本発明の第15の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図34(a)は図33の34A-34A線矢視断面図であって、図34(b)は図33の34B-34B線矢視断面図である。

【0084】本実施形態は、第14の実施形態の変形構成であり、p型埋込層51p、p型ウェル層42p、n型ソース層43n及びn型ドレイン層44nの導電型を反転させたものであり、具体的には、p型埋込層51p、p型ウェル層42p、n型ソース層44n及びn型ドレイン層44nに代えて、n型埋込層51n、n型ウェル層42n、p型ソース層43p及びp型ドレイン層44pを備えている。

【0085】以上のような構成としても、第14の実施形態と同様の効果を得ることができる。また、本実施形態は、第14の実施形態と組合せることにより、ブリッジ回路や、プッシュプル回路を構成することができる。

(第16の実施形態) 図35は本発明の第16の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図36(a)は図35の36A-36A線矢視断面図であって、図36(b)は図35の36B-36B線矢視断面図である。

【0086】本実施形態は、第12の実施形態の変形構成であり、具体的には、n型ドレイン層44nとp型ウェル層42pとの間に、n型ドレイン層44nよりも高抵抗のn型オフセット層61nを備えている。

【0087】ここで、n型オフセット層61nは、例えば、ゲート電極47をマスクとして自己整合的に形成可能となっている。また、n型ドレイン層44nは、例えば、n型オフセット層61nの形成後、少なくともゲート電極47上及びn型オフセット層61n上に酸化膜が形成され、RIEにより酸化膜が除去されてゲート電極47に酸化膜からなる側壁62が形成され、さらに、ゲート電極47及びその側壁62をマスクとして自己整合的に拡散により形成可能となっている。

【0088】このような構成としても、第12の実施形態の効果を得ることができる。また、第12の実施形態と比べ、ゲート絶縁膜46が薄くなり、p型ウェル層42pが高濃度になっても、ゲート下におけるドレイン端

の電界を緩和できるので、耐圧を維持することができる。

【第17の実施形態】図37は本発明の第17の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図38(a)は図37の38A-38A線矢視断面図であって、図38(b)は図37の38B-38B線矢視断面図である。

【0089】本実施形態は、第13の実施形態の変形構成であり、p型ウェル層42p、n型ソース層43n、n型オフセット層61n及びn型ドレイン層44nの導電型を反転させたものであり、具体的には、p型ウェル層42p、n型ソース層43n、n型オフセット層61n及びn型ドレイン層44nに代えて、n型ウェル層42n、p型ソース層43p、p型オフセット層61p及びp型ドレイン層44pを備えている。

【0090】以上のような構成としても、第16の実施形態と同様な効果を得ることができる。また、本実施形態は、第16の実施形態と組合せることにより、ブリッジ回路や、プッシュプル回路を構成することができる。

【第18の実施形態】図39は本発明の第18の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図40(a)は図39の40A-40A線矢視断面図であって、図40(b)は図39の40B-40B線矢視断面図である。

【0091】本実施形態は、第16の実施形態の変形構成であり、具体的には、n型ソース層43nとp型ウェル層42pとの間に、n型ソース層43nよりも高抵抗のn型低濃度層71nを備えている。

【0092】ここで、n型低濃度層71nは、前述したn型オフセット層61nと同様の形成工程により、n型オフセット層61nと同時に形成される。また同様に、n型ソース層43nは、前述したn型ドレイン層44nと同様の形成工程により、n型ドレイン層44nと同時に形成される。

【0093】このような構成としても、第16の実施形態の効果を得ることができる。また、本実施形態は、第16の実施形態と比べ、n型ソース層43nとn型ドレイン層44nとを同時に形成できるので、工程数を削減することができる。

【第19の実施形態】図41は本発明の第19の実施形態に係る横型トレンチMOSFETの構成を示す平面図であり、図42(a)は図41の42A-42A線矢視断面図であって、図42(b)は図41の42B-42B線矢視断面図である。

【0094】本実施形態は、第18の実施形態の変形構成であり、p型ウェル層42p、n型ソース層43n、n型低濃度層71n、n型オフセット層61n及びn型ドレイン層44nの導電型を反転させたものであり、具体的には、p型ウェル層42p、n型ソース層43n、n型低濃度層71n、n型オフセット層61n及びn型

ドレイン層44nに代えて、n型ウェル層42n、p型ソース層43p、p型低濃度層71p、p型オフセット層61p及びp型ドレイン層44pを備えている。

【0095】以上のような構成としても、第18の実施形態と同様な効果を得ることができる。また、本実施形態は、第18の実施形態と組合せることにより、ブリッジ回路や、プッシュプル回路を構成することができる。

【第20の実施形態】図43は本発明の第20の実施形態に係る横型トレンチMOSFETの構成を示す断面図であり、この断面図は図23(a)に相当するものである。

【0096】本実施形態の特徴は、図23に示した素子において、p型基板11とn型高抵抗層12との間に低抵抗のn型埋込み層34を形成したことにある。

【0097】このような構成によれば、ゲートオン時(導通時)の主電流の経路が縦方向にも広がるため、図23に示した素子に比べて、オン抵抗を低くできる。

【0098】図44に、本実施形態の変形例を示す。これはドレイン電極20がn型埋込み層34にまで達した例であり、オン抵抗をさらに低くできる。

【第21の実施形態】図45は本発明の第21の実施形態に係る横型トレンチMOSFET及びバイポーラトランジスタの構成を示す断面図であり、この断面図は図23(a)に相当するものである。

【0099】本実施形態の第1の特徴は、横型MOSFETのn型埋込み層とバイポーラトランジスタのn型埋込み層とが同じ不純物濃度分布を持ったn型埋込み層34であることである。

【0100】このような構成によれば、横型MOSFETのn型埋込み層とバイポーラトランジスタのn型埋込み層とを同一工程で形成できるので、工程数の削減化を図れるようになる。

【0101】第2の特徴は、バイポーラトランジスタのコレクタ電極88がn型埋込み層34にまで達したトレンチ内に埋込み形成されていることにある。

【0102】このような構成によれば、コレクタ抵抗が低減され、良好な特性のバイポーラトランジスタが得られるようになる。さらに、コレクタ電極88とドレイン電極15とを同一工程で形成できるので、これによっても工程数の削減化を図れるようになる。

【0103】なお、図中、83はp型拡散層、84はそれよりも高不純物濃度のp型拡散層であってこれらのp型拡散層83、84はn型高抵抗層12とともにpn接合分離を構成している。また、85はp型ベース層、86はそのp型コンタクト層、87はn型エミッタ層、88はコレクタ電極、89はベース電極、90はエミッタ電極を示している。

【0104】以上、本発明の実施形態を説明したが、本発明は上述の実施形態に限定されるものではない。例えば、上述の実施形態ではp型を第1導電型、n型を第2

導電型としたが、導電型を全て逆にしても良い。

【0105】その他、本発明はその要旨を逸脱しない範囲で種々変形して実施できる。

【0106】

【発明の効果】以上説明したように本発明によれば、素子面積を増大させずにオン抵抗を低減し得る横型MOSFETを備えた半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図2】図1の2A-2A線及び2B-2B線矢視断面図

【図3】同実施の形態における横型トレンチMOSFETのオン抵抗におけるトレンチ間隔の依存性を対数目盛で示す図

【図4】同実施の形態における効果を説明するための従来素子の断面図

【図5】本発明の第2の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図6】図5の6A-6A線及び6B-6B線矢視断面図

【図7】本発明の第3の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図8】図7の8A-8A線及び8B-8B線矢視断面図

【図9】本発明の第4の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図10】図9の10A-10A線及び10B-10B線矢視断面図

【図11】本発明の第5の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図12】図11の12A-12A線及び12B-12B線矢視断面図

【図13】同実施の形態における最適な態様を説明するための模式図

【図14】本発明の第6の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図15】図14の15A-15A線及び15B-15B線矢視断面図

【図16】本発明の第7の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図17】図16の17A-17A線及び17B-17B線矢視断面図

【図18】本発明の第8の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図19】図18の19A-19A線及び19B-19B線矢視断面図

【図20】本発明の第9の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図21】図20の20A-20A線及び20B-20

B線矢視断面図

【図22】本発明の第10の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図23】図22の22A-22A線及び22B-22B線矢視断面図

【図24】本発明の第11の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図25】図24の24A-24A線及び24B-24B線矢視断面図

【図26】本発明の第12の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図27】図26の27A-27A線及び27B-27B線矢視断面図

【図28】同実施の形態におけるオン抵抗とトレンチ寸法との関係を示す図

【図29】本発明の第13の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図30】図29の30A-30A線及び30B-30B線矢視断面図

【図31】本発明の第14の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図32】図31の32A-32A線及び32B-32B線矢視断面図

【図33】本発明の第15の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図34】図33の34A-34A線及び34B-34B線矢視断面図

【図35】本発明の第16の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図36】図35の36A-36A線及び36B-36B線矢視断面図

【図37】本発明の第17の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図38】図37の38A-38A線及び38B-38B線矢視断面図

【図39】本発明の第18の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図40】図39の40A-40A線及び40B-40B線矢視断面図

【図41】本発明の第19の実施形態に係る横型トレンチMOSFETの構成を示す平面図

【図42】図41の42A-42A線及び42B-42B線矢視断面図

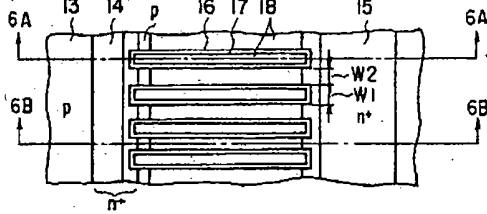
【図43】本発明の第20の実施形態に係る横型トレンチMOSFETの構成を示す断面図

【図44】同実施形態の変形例を示す断面図

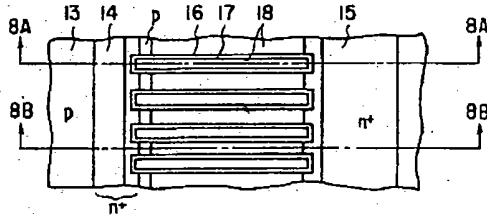
【図45】本発明の第21の実施形態に係る横型トレンチMOSFET及びバイポーラトランジスタの構成を示す断面図

【図46】従来の横型MOSFETの構成を示す平面図

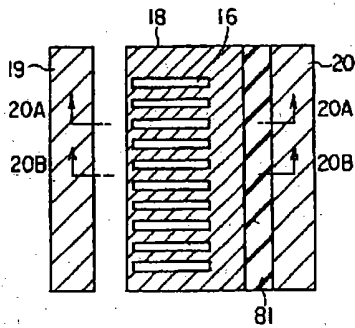
【図5】



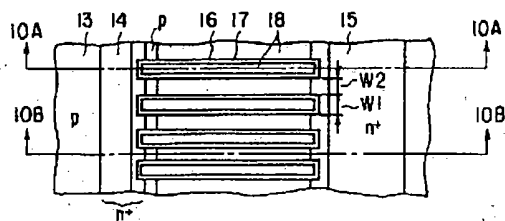
【図7】



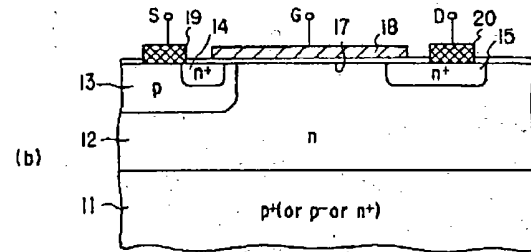
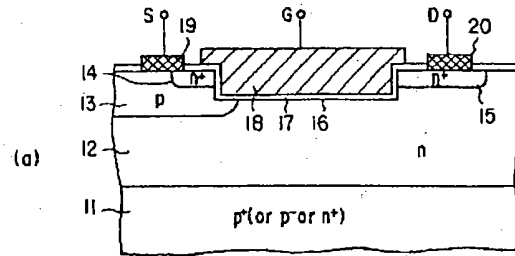
【図20】



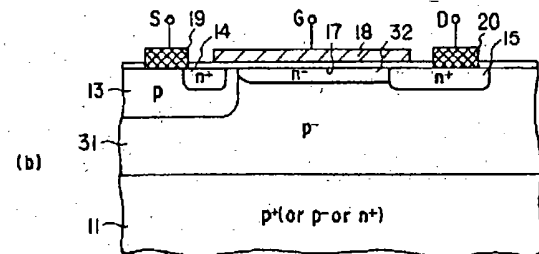
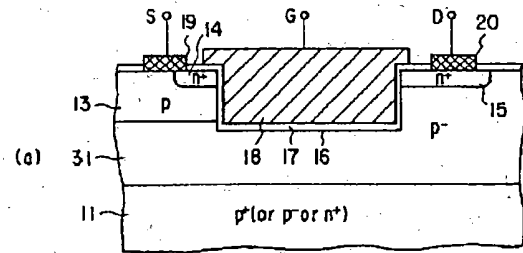
【図9】



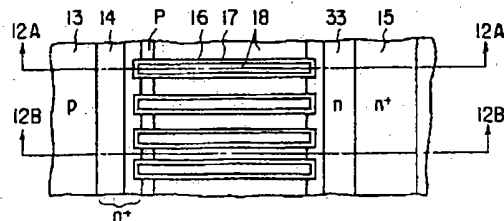
【図6】



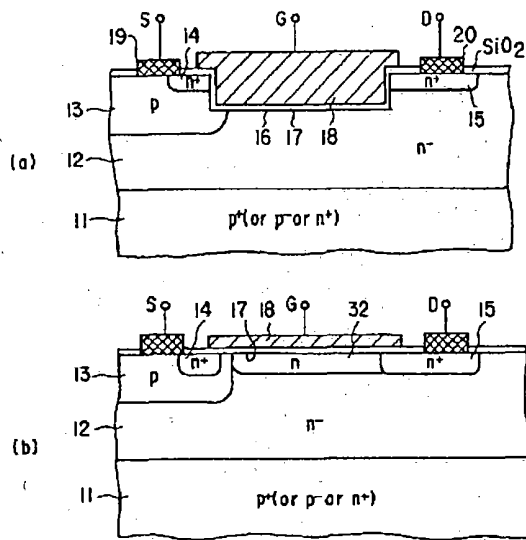
【図8】



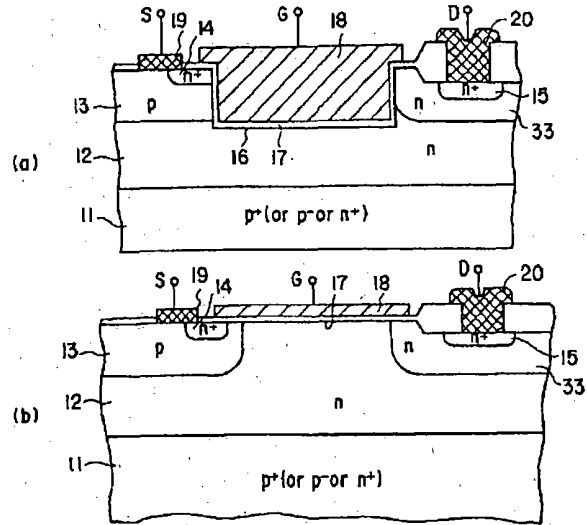
【図11】



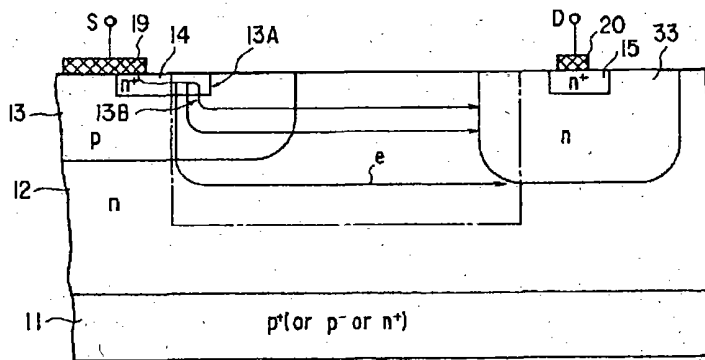
【図 10】



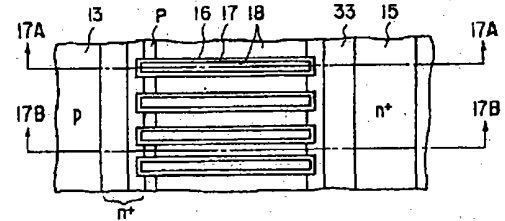
【图 1.2】



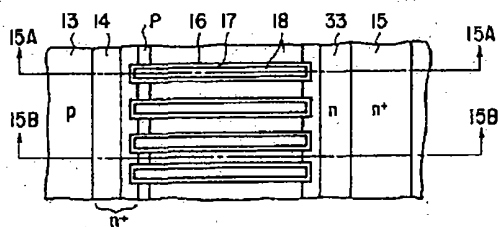
【圖 1.3】



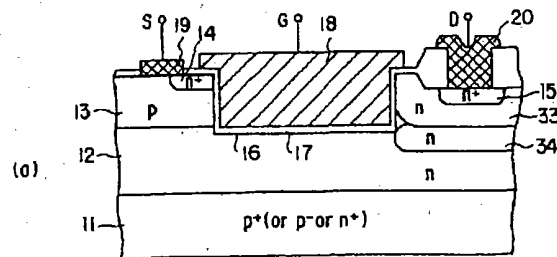
【図 16】



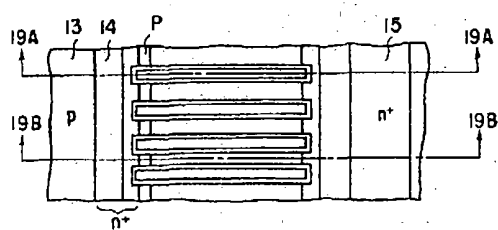
【図 1.4】



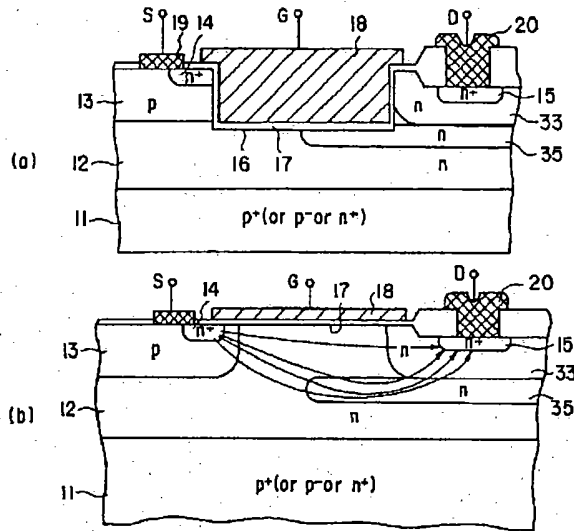
【図 15】



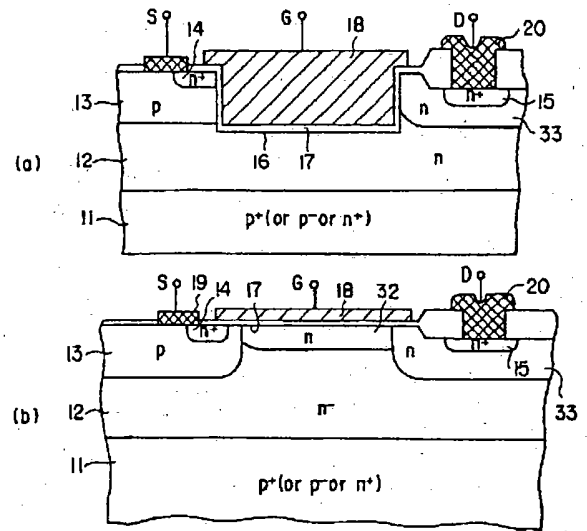
【图 18】



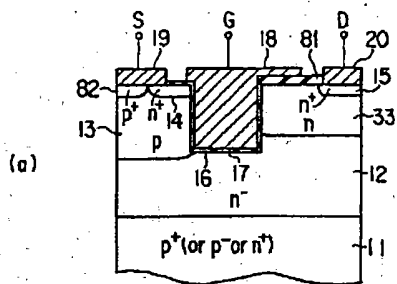
【図17】



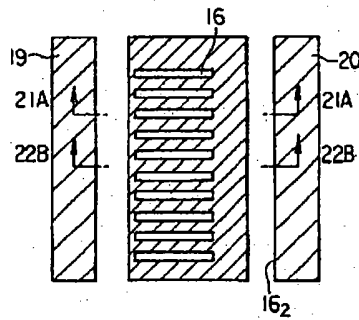
【図19】



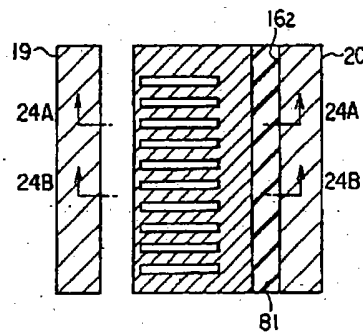
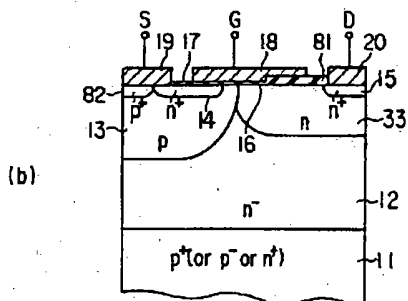
【図21】



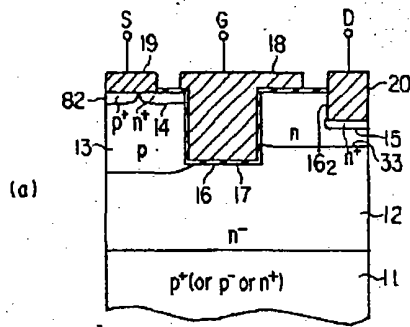
【図22】



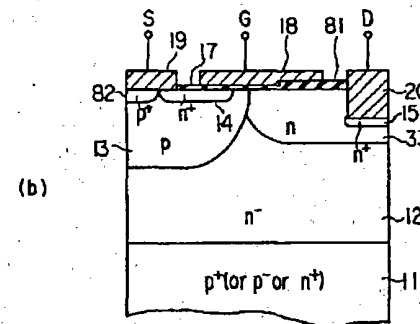
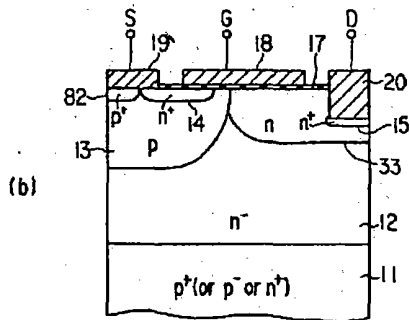
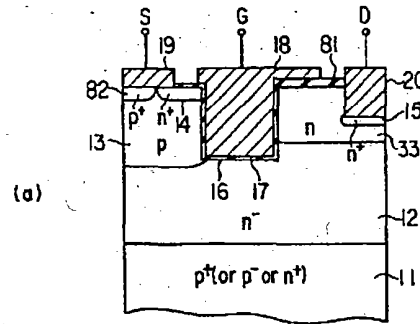
【図24】



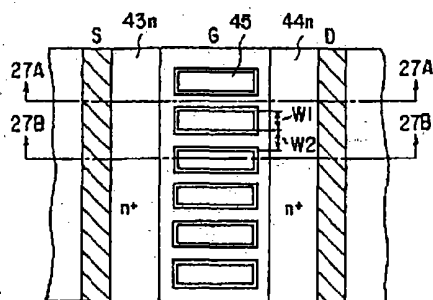
【図23】



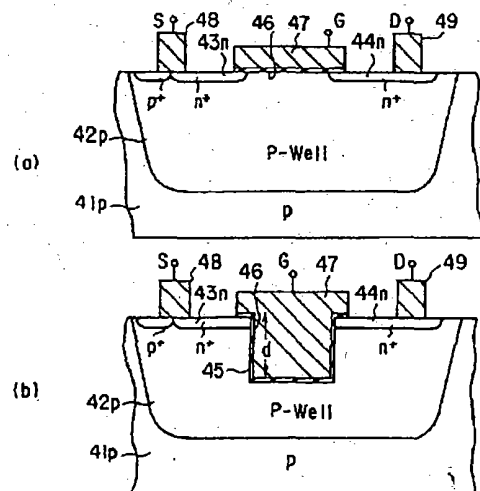
【図25】



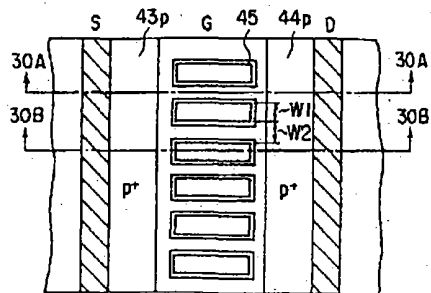
【図26】



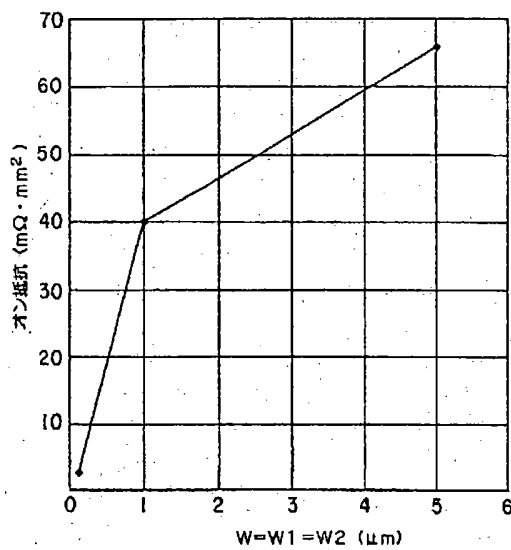
【図27】



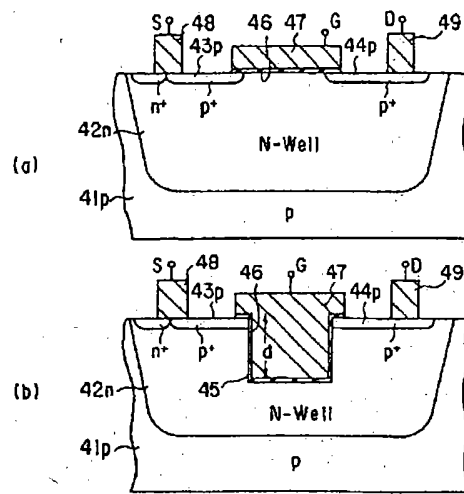
【図29】



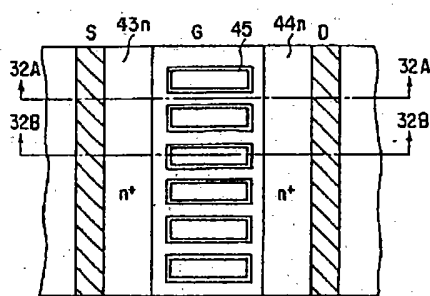
【図28】



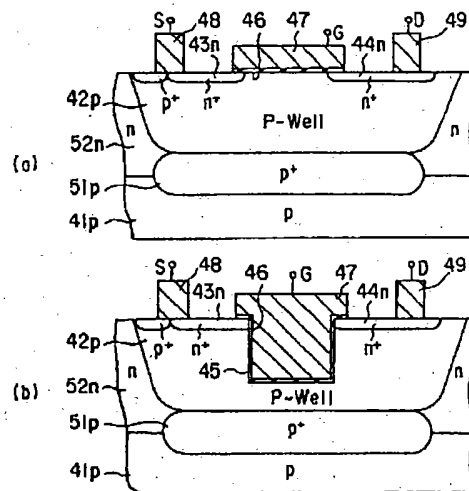
【図30】



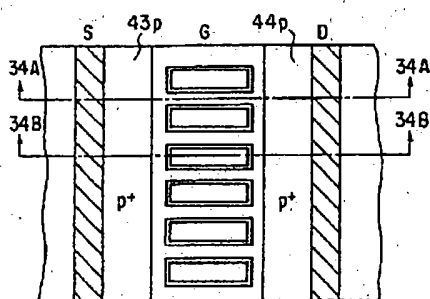
【図31】



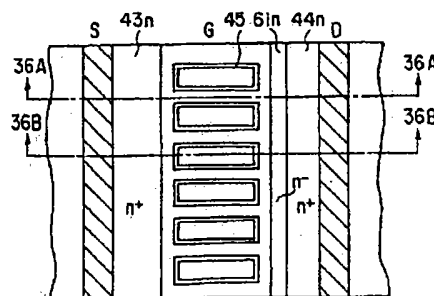
【図32】



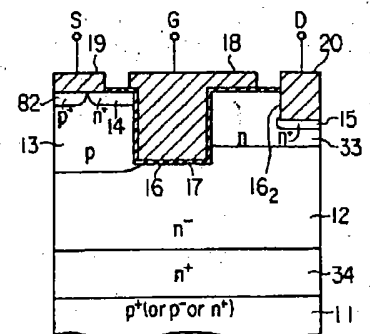
【図33】



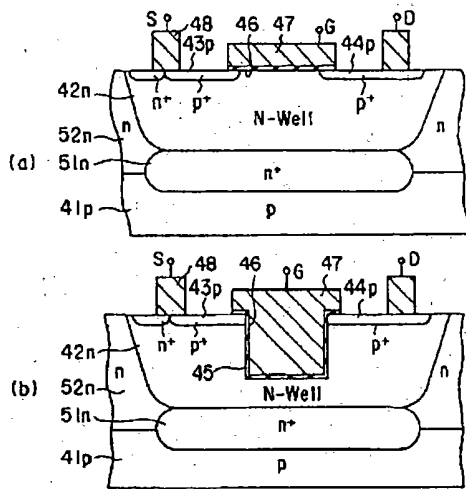
【図35】



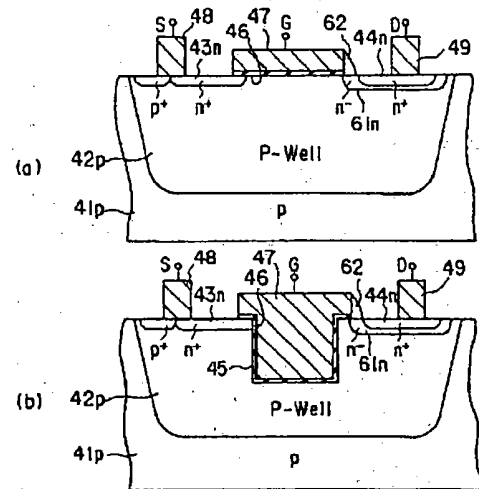
【図43】



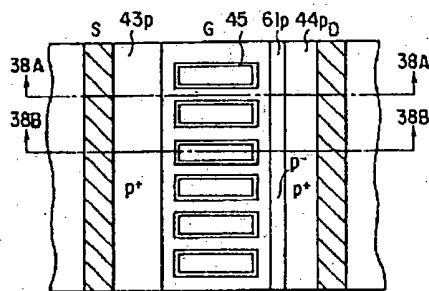
・【図 3 4】



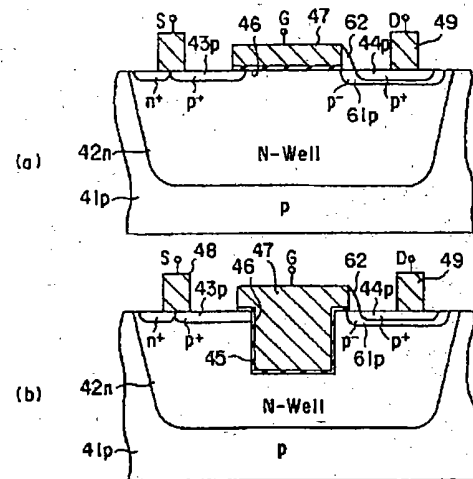
【図 3 6】



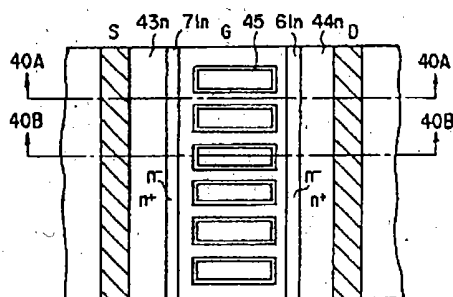
【図 37】



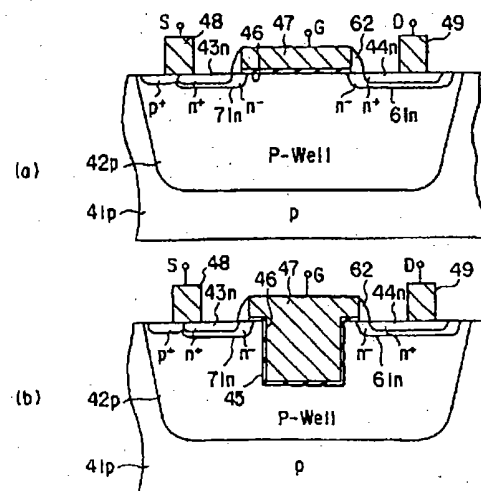
【図 38】



【図 39】



【図 40】



【図46】

